

<CN 1083598A>

Application No. :

93109281.7 (1993.08.13)

Priority Data :

JP 92-215971(1992.08.13)

JP 92-215972(1992.08.13)

JP 92-347603(1992.12.28)

JP 92-347605(1992.12.28)

JP 92-347606(1992.12.28)

Applicant:

Casio Computer Co., Ltd.

(Tokyo, JP)

Inventors:

Yoshida, Mamoru (Kunitachi, JP), Sasaki, Makoto (Tokyo, JP), Okimoto, Hiroyuki (Hino, JP), Nomoto, Tsutomu (Hachioji, JP), Sato, Shunichi(Kawagoe, JP)

Title:

THIN-FILM TRANSISTOR ARRAY AND LIQUID CRYSTAL DISPLAY DEVICE USING THE THIN-FILM TRANSISTOR ARRAY

<Abstract>

A thin film transistor array comprises an insulative substrate, a plurality of pixel electrodes arranged in a matrix on the insulative substrate, a plurality of thin film transistors connected respectively to the pixel electrodes, a plurality of address lines formed on the insulative substrate, each address line being connected to a plurality of control electrodes of the thin film transistors, and a plurality of data lines arranged on the insulative substrate in such a manner as to intersect the address lines, each data line being connected to a plurality of data input electrodes of the thin film transistors. A short-wiring is formed on the outside of a display region on the insulative substrate on which the pixel electrodes are arranged, and the short-wiring is connected to at least two of the address lines and the data lines by a two-terminal element having non-linear resistance characteristics defining voltage/current characteristics on the basis of a space charge limited current.



[12] 发明专利申请公开说明书

[21]申请号 93109281.7

[51]Int.Cl⁵

G02F 1/133

[43]公开日 1994年3月9日

[22]申请日 93.8.13

[30]优先权

[32]92.8.13 [33]JP[31]215971/92

[32]92.8.13 [33]JP[31]215972/92

[32]92.12.28[33]JP[31]347603/92

[32]92.12.28[33]JP[31]347605/92

[32]92.12.28[33]JP[31]347606/92

[71]申请人 卡西欧计算机公司

地址 日本东京

[72]发明人 吉田守 佐佐木诚 冲本浩之

野本勉 佐藤俊一

[74]专利代理机构 永新专利商标代理有限公司

代理人 程 伟

H01L 29/784 G09F 9/30

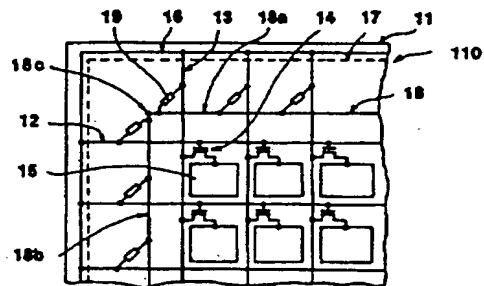
说明书页数:

附图页数:

[54]发明名称 薄膜晶体管阵列及使用该阵列的液晶显示器

[57]摘要

薄膜晶体管阵列, 包括一绝缘基板、布置在其上的一矩阵中的多个像素电极、分别连接在像素电极上的多个薄膜晶体管、形成在绝缘基板上的多条地址线(各地址线连接在薄膜晶体管的多个控制极上)、及布置在绝缘基板上与地址线交叉的多条数据线(各数据线连接在薄膜晶体管的多个数据输入极上)。在布置有像素电极的绝缘基板上的一显示区外部形成一短路线, 并用一具有非线性电阻特征的两接线端元件将短路线连接到地址线与数据线的至少两条上。



FT-LCD) 的剖视图。

如图 2 所示, 采用根据本发明的一个 **TFT** 阵列的液晶显示器 (**LCD**) 器件包括具有一层形成覆盖像素电极 15 与 **TFT** 14 的定向膜 20 的一个 **TFT** 阵列 110, 一块具有面向像素电极 15 的一个相对电极 22 及一层覆盖该相对电极 22 的定向膜 23 的相对基板 24, 介入相对基板 24 与 **TFT** 阵列 110 之间的具有预定厚度的一个液晶 (**LC**) 层 21, 以及一个用于将相对基板 24 与 **TFT** 阵列以预定的间隔连接的封闭部件。

TFT 阵列 110 具有下述结构。延伸在行中的地址线 12 及延伸在列中的数据线 13 布置在一块透明的绝缘基板 11 上, 使得地址线 12 与数据线 13 以相互绝缘的方式成直角交叉。在地址线 12 与数据线 13 的交叉点上设置 **TFT** 14 及像素电极 15。 **TFT** 14 电连接到线 12 与 13 上, 并且像素电极 15 电连接到 **TFT** 14 上。像素电极 15 布置成行与列以形成一个显示区。

用一层导电膜制成的一个短路线或短路环 16 形成在基板 11 的外周边部分上。地址线 12 及数据线 13 从显示区中伸出并电连接在短路线 16 上。在完成了 **TFT** 阵列 110 的制造过程之后或者在形成 **LC** 单元的过程中粘附了面向 **TFT** 阵列 110 的相对基板 24 之后, 将短路线 16 沿图 1 中的虚线 17 割掉。

包围显示区的一条短路线 18 形成在显示区的外缘

附近并在割去线17的内部，使得该短路线18以绝缘的方式与地址线12及数据线13交叉。在基板11上形成该短路线18的一个数据线连接部分18a，该连接部分是基本上与地址线12平行的。在一层门绝缘膜42（下面描述）上形成一个基本上与数据线13平行的短路线18的地址线连接部分18b。用具有由空间电荷限制的电流确定的非线性电压/电流特征的两接线元件（SCLC元件）19将短路线18连接到地址线12与数据线13。

图3与4展示布置在TFT阵列110的地址线12与数据线13的交叉点上的TFT14与像素电极15的结构。如这两个图中所示，地址线12通过门绝缘膜42及交叉点绝缘膜21（下面描述）与数据线13相交。在交叉点附近，设置了一个门电极41到地址线12及以一个漏电极46连接到数据线13的TFT14。该TFT14的源极连接到像素电极15上。

TFT14具有下述结构。在基板11上形成从地址线12上伸出的门电极41及覆盖该门电极41的门绝缘膜42。在门绝缘膜42的门电极41的上方位置上形成一层非晶硅的半导体膜43，从而形成了一个器件区。在半导体膜43的沟道部分上形成一层氮化硅的阻挡层44。在半导体膜43的一侧上，经由一层由掺杂有杂质的半导体制成的电阻的接触层45形成漏极46。该漏极46是连接到数据线13上的。在半导体膜43的另一侧，经由一层掺杂有杂质的半导体制成的电阻的接

触层47形成源电极48。该源电极48是连接到由透明的导电膜制成的显示电极15上的。另外，在TFT14上形成一层保护膜49。

图5与6展示布置成与地址线12及数据线13交叉的短路线18的结构以及连接在短路线18与地址线及数据线12及13之间的SCLC元件19的结构。特别是，形成在地址线12与短路线18之间的一个连接部分上的SCLC元件19是这样构成的，使得在覆盖基板11上形成的地址线12的门绝缘膜42上形成一个岛形半导体膜91。此外，在半导体层92上形成一层用于隔离两个电极及保护半导体膜91的半导体保护层92，并且电极94与96是形成在半导体膜91的两侧部分上的，保护层92是形成在这两个电极之间的。两个电极之一，94，是经由在门绝缘膜42中形成的一个孔42a连接到地址线12上的。另一个电极96是直接到短路线18的上部短路线部分18b上的。这些两接线端器件区是被保护膜49覆盖的。形成在数据线13与短路接线18之间的一个连接部分上的SCLC元件19具有类似的结构。虽然没有示出，两个电极之一，94，是直接连接在数据线13上，并且另一个电极96是经由形成在门绝缘膜42中的一个孔连接在短路线18的下部短路线部分18b上的。

至于图5与6中所示的SCLC元件19的结构，一个电阻的接触层并不设置在两个电极94与96作为一方面与半导体膜91作为另一方面之间。从而，形成

了一个双注入型薄膜非线性电阻器元件，其中注入了电子与空穴两者作为载体。特别是如图7所示，**SCLC**元件中的电子与空穴是按照所作用的电场电压被截留在非晶硅的一个带隙中的一个局部的能级上的，并生成一个空间电荷。作为后果，一个费米能级移向导带，传导电子密度增加，并且不论电压多大，电流急剧增加。如果作用的电场进一步升高，空穴开始通过该元件并且载体的注入量增加。注入对复合占优势。空穴与电子的双注入使电流的流动更为方便。相应地，当由于静电而在地址线12和/或数据线13上作用了一个高电压时，一个大的电流流过并且建立了一个基本上的短路状态。

根据这一实施例，包围显示区的短路线18是形成在显示区的外侧边缘附近及切割线以内的，使短路线18以一种绝缘方式与地址线12及数据线13交叉。短路线18是用具有上述高非线性电压/电流特征的**SCLC**元件19电连接到地址线12与数据线13上的。这样，在完成了TFT阵列的制造过程或者在形成LC单元的过程中将面向TFT阵列的相对基板粘合以后而将短路线16沿虚线17切掉以后，由于静电而在地址线12或数据线13中的至少一条上作用了一个高电压时，一个大电流流经该**SCLC**元件19来均衡地址线12与数据线13的电位。因此，在切掉短路线之后，即使由于静电而在地址线12或数据线13上作用了一个高电压，线12与13之间或者TFT14的门电极41与漏极46之间的绝缘既不致破坏也不会损失。

采用该TFT阵列的LC显示器通常是由大约25伏的电压驱动的。从而，如图7所示，SCLC元件19的电阻在这一电压范围内是足够高的，并且流经地址线12之间、数据线13之间以及地址线12与数据线13之间的漏电流是非常低的，在数量级 10^{-9} 至 10^{-7} 安培。从而，对作用在象素电极15上的数据信号的影响是低的，并且能够显示清晰的图象。此外，在切掉了短路线之后，能够实行有关线路漏电或短路的电检测，并且可以电测量TFT的特征。

下面参照图8A至10E描述用于制造上述TFT阵列的工艺。图8A至8E展示制造TFT部分的顺序步骤，图9A至9E展示制造SCLC元件的顺序步骤，以及图10A至10E展示制造地址线12与形成在地址线12上的数据线连接部分18b之间的交叉部分的顺序步骤，以及在制造数据线连接部分18a与形成在短路线18的上方与下方的地址线连接部分18b之间的接触部分18c的顺序步骤。

利用阴极喷镀方法在玻璃等透明绝缘基板11上喷镀一层Cr、Al、Ta、Ti等的金属或合金薄膜。进行选择蚀刻以形成图8A中所示的一个门电极41以及图9A与10A中所示的一条地址线12及一个下部数据线连接部分18a（以下称作“下方短路线部分”）。在这些步骤中，在图1中所示的基板11的外侧周边部分上同时形成一条短路线16。

在已经形成有门电极41等的基板11上用等离子

化学气相淀积 (CVD) 工艺相继形成三层薄膜, 即, 一层用作门绝缘膜 4 2 的氮化硅膜, 一层用作半导体层 4 3 的非晶硅膜 4 3 a 以及一层用作阻挡层 4 4 的氮化硅膜。将不必要的部分去掉只留下对应于 TFT 1 4 的沟道部分的最上层氮化硅膜部分, 如图 8 B 中所示, SCLC 元件 1 9 的半导体保护层 9 2, 如图 9 B 中所示, 以及地址 1 2 与上方短路线部分 1 8 b (以下描述) 之间的交叉部分, 如图 1 0 B 所示。这样, 便形成了阻挡层 4 4、半导体保护层 9 2 及线间绝缘膜 2 1。

掺有杂质的非晶硅层 (它们将作为电阻的接触层 4 5 与 4 7) 利用等离子 CVD 工艺形成在基板 1 1 上的非晶硅膜的整个上表面上, 在它的上面形成阻挡层 4 4 等。随着, 用喷镀工艺相继喷镀 Cr 等的金属薄膜。此后, 相继蚀刻掉 TFT 1 4 器件区以外的区域上的金属薄膜、掺有杂质的非晶硅层以及非晶硅膜。此外, 还蚀刻掉 TFT 的阻挡层 4 4 上及半导体保护层 9 2 上的金属薄膜及掺有杂质的非晶硅层。这样, 如图 8 c 中所示, 便形成了 TFT 1 4 的源电极 4 8 及漏极 4 6 及器件区, 并且如图 9 c 所示, 形成了 SCLC 元件 1 9 的器件区。此外, 如图 1 0 c 所示, 将除了地址线 1 2 与上方短路线部分 1 8 b 之间的区间部分以外的非晶硅膜 4 3 a 去掉。

然后, 在基板 1 1 上的 TFT 1 4、SCLC 元件 1 9 及门绝缘膜 4 2 上喷镀一层由 ITO 制成的透明导电膜。蚀刻该透明导电膜, 形成一个连接到 TFT 1 4

的源电极48上的像素电极15，如图8D所示。随即，去掉用于将地址线12连接到驱动电路的地址线端点（未示出）上的一层氮化硅膜。同时，如图9D所示，在地址线12上的氮化硅膜中形成一个接触空孔42a，并如图10D所示，在下方短路线部分18a上形成一个接触孔42b。

此后，用阴极喷镀在TFT上喷镀一层Al、Ti、Mo等的金属膜或合金膜，或者这些金属膜的一层叠层膜。然后蚀刻该喷镀的膜以形成如图8E所示的一条数据线13，如图9E所示的一个电极94及连接地址线12与SCLC元件19的另一个电极96，以及如图10E所示的与数据线13平行的短路线18的一个上方短路线部分18b（以下称作“上方短路线部分”）。

通过上述步骤，TFT14的漏极46被连接到数据线13上，数据线13在一个与下方短路线18a交叉的部分上被连接到SCLC元件19的一个电极上，并且SCLC元件19的另一个电极被连接到下方短路线部分18a上。布置在地址线12与上方短路线部分18b之间的交叉点上的SCLC元件19的电极之一被连接到上方短路线部分18b上。上方短路线部分18b经由形成在下方短路线部分18a上的氮化硅膜中的接触空孔42b被连接到下方短路线部分18a上，并且是由用于形成门绝缘膜42、非晶硅膜43a、以及用于形成TFT14的阻挡层44的氮化硅膜与地址线12绝缘。

最后，用等离子CVD工艺在基板的整个表面上形成一层将成为保护层49的氮化硅层，然后蚀刻该氮化硅膜，从而在地址线12与数据线13的端上形成接线端部分用于与驱动电路相连，如图4与6所示。此外，将对应于显示电极15的像素区50的氮化硅膜部分去掉以形成保护膜49。

如上所述，根据本实施例的TFT阵列，基板上的TFT14、地址线12及数据线13、以及连接这些线的SCLC元件19是由用于形成及蚀刻TFT14的薄膜的步骤相继形成的，不需要在这些步骤中提供特殊的膜来形成TFT14。这样，用于形成SCLC元件19的步骤数并不增加，并且可以容易地制造带有SCLC元件19的TFT阵列。

在上述实施例中，门电极41与地址线12是用Cr、Al、Ta、Ti等的金属或合金层形成的。然而，生成门电极41与地址线12的方法不限于此。也可使用这些金属膜的一种叠层膜等。为了增强门电极41与地址线12的绝缘，它们的表面可用阳极氧化、热氧化等加以部分地或全部地氧化。

这一第一实施例也可应用于具有不形成阻挡层44及半导体保护膜92的一种结构的TFT，或者应用于其中布置有SCLC元件的TFT阵列。

然而，在第一实施例中，如图11所示，可以以并联方式将两个以上的SCLC元件19连接地址线12、数据线13与短路线18之间。按照这一结构，当SC

LC元件**19**导通时，**SCLC**元件**19**的并联电路的电传导性能可增加一倍或更多，并可增强对静电的防护作用。

虽然未示出，根据这一第一实施例，可在地址线**12**之间串联两个以上的**SCLC**元件**19**，并且同样可在数据线**13**之间串联两个以上**SCLC**元件**19**。在这一情况中，**SCLC**元件**19**的串联电路的截止电阻增加，从而减小了流经地址线**12**之间、数据线**13**之间、及地址线**12**与数据线**13**之间的漏电电流。

第二实施例

在本发明中，在第一实施例中用作连接短路线与地址及数据线的薄膜无电阻元件的双注入型**SCLC**元件可用其它的具有相似的非线性特征的两接线端元件代替。下面参照附图**12**至**17**详细描述采用电子注入型**SCLC**元件作为两接线端元件的本发明的一个第二实施例。已经在第一实施例中提到过的结构元件将用相同的参照数字指示，而其说明则将从略。

图**12**至**15**展示布置成与地址线**12**与数据线**13**交叉的短路线**18**的结构，以及连接在短路线**18**与地址及数据线**12**及**13**之间的**SCLC**元件**29**的结构。特别是，在覆盖形成在基板**11**上的地址线**12**的一层门绝缘膜**42**上形成了一层岛形半导体膜**91**。在该半导体膜**91**上形成了一层用于隔离两个电极并保护

说明书附图

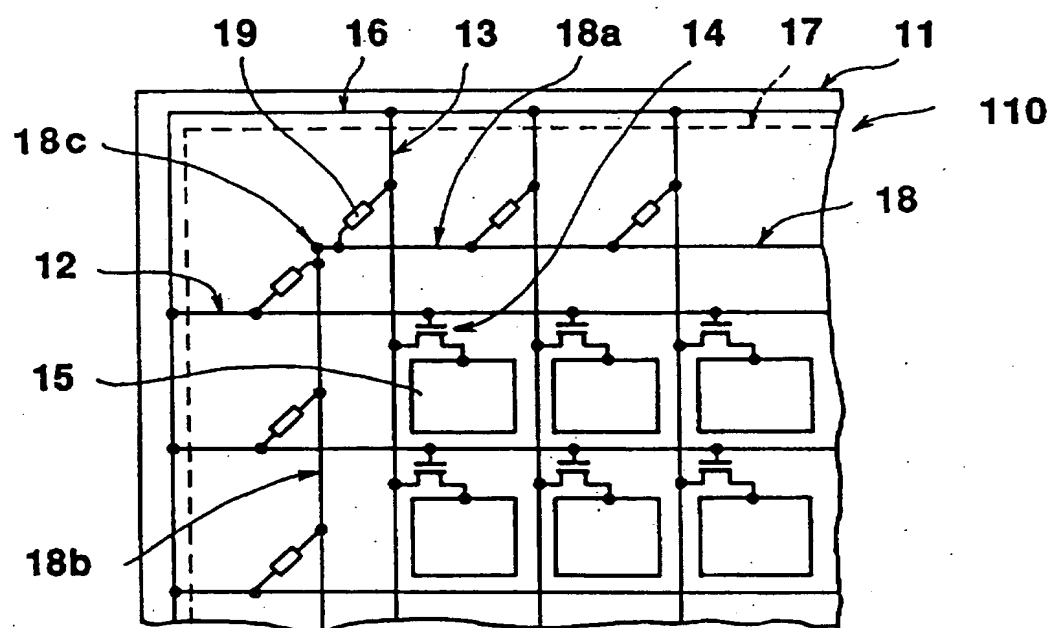


图1

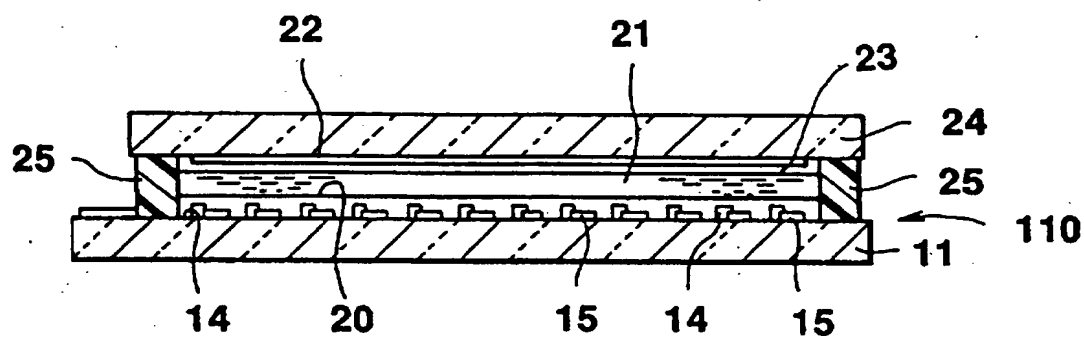


图2

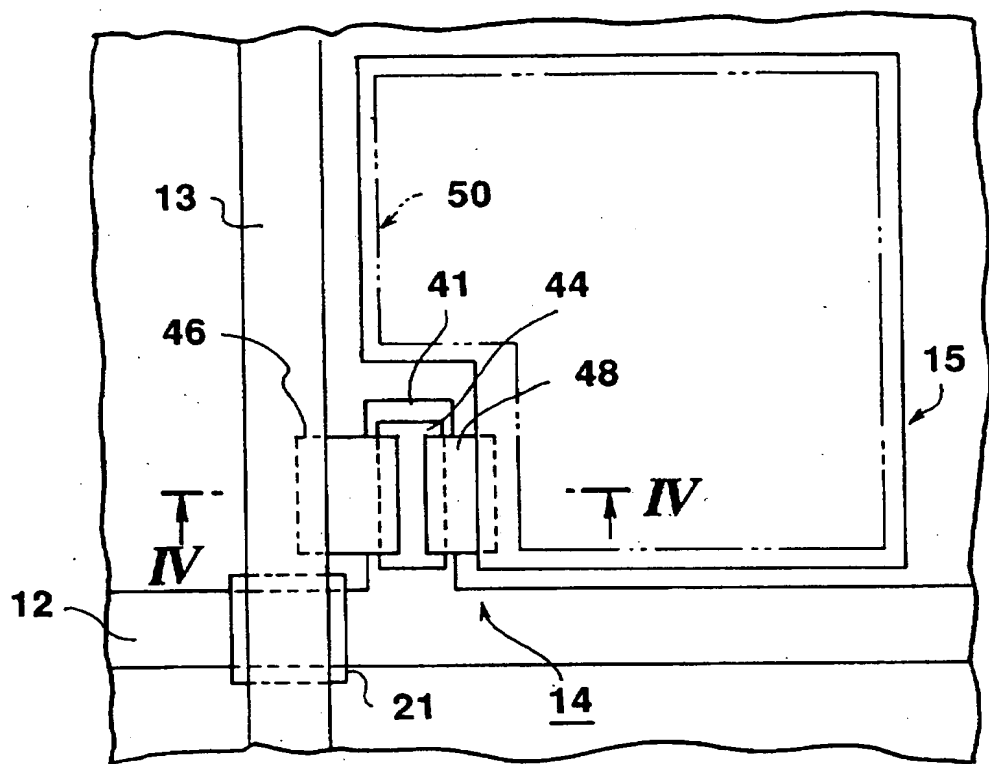


图3

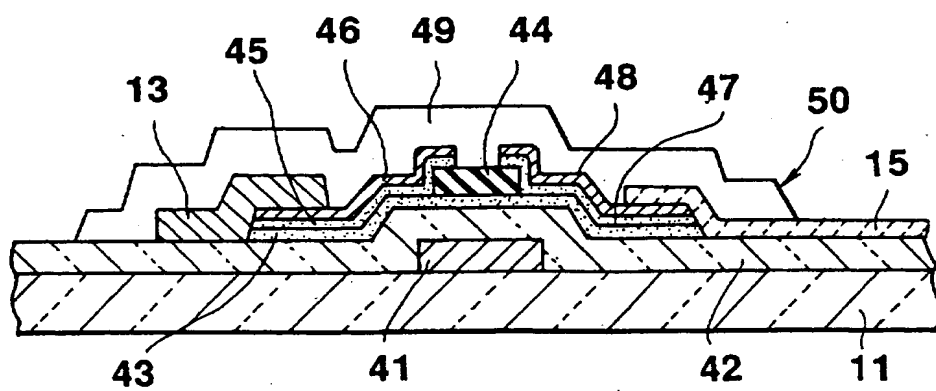


图4

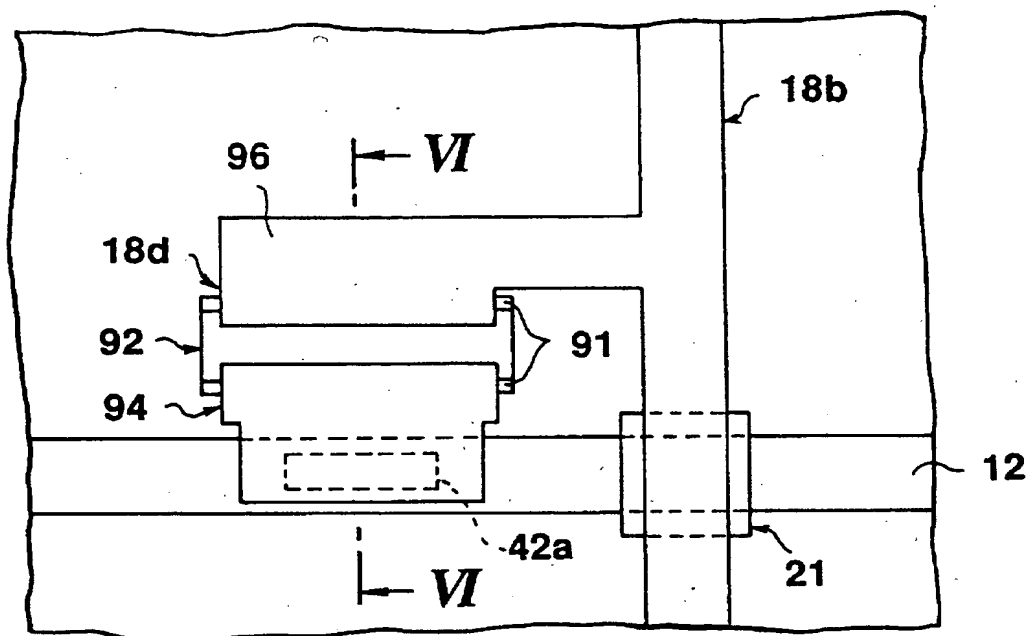


图5

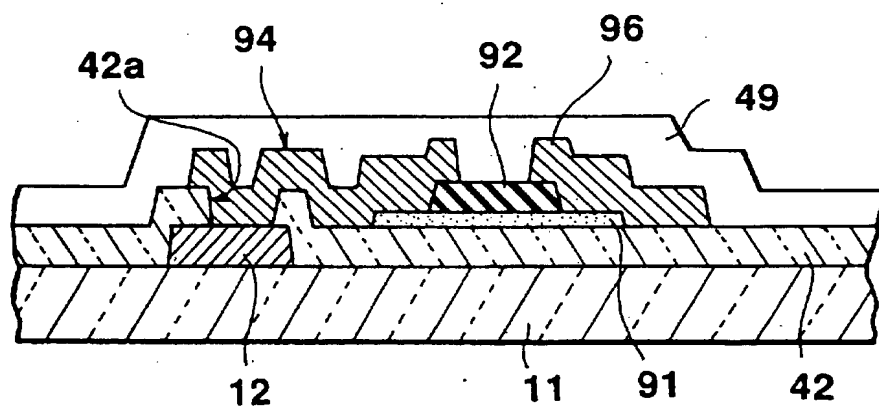


图6

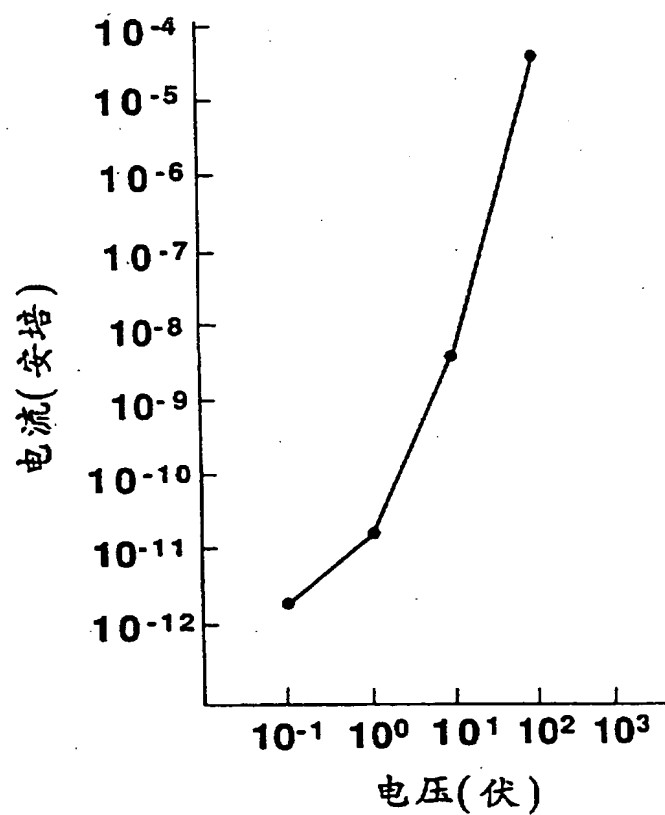


图7

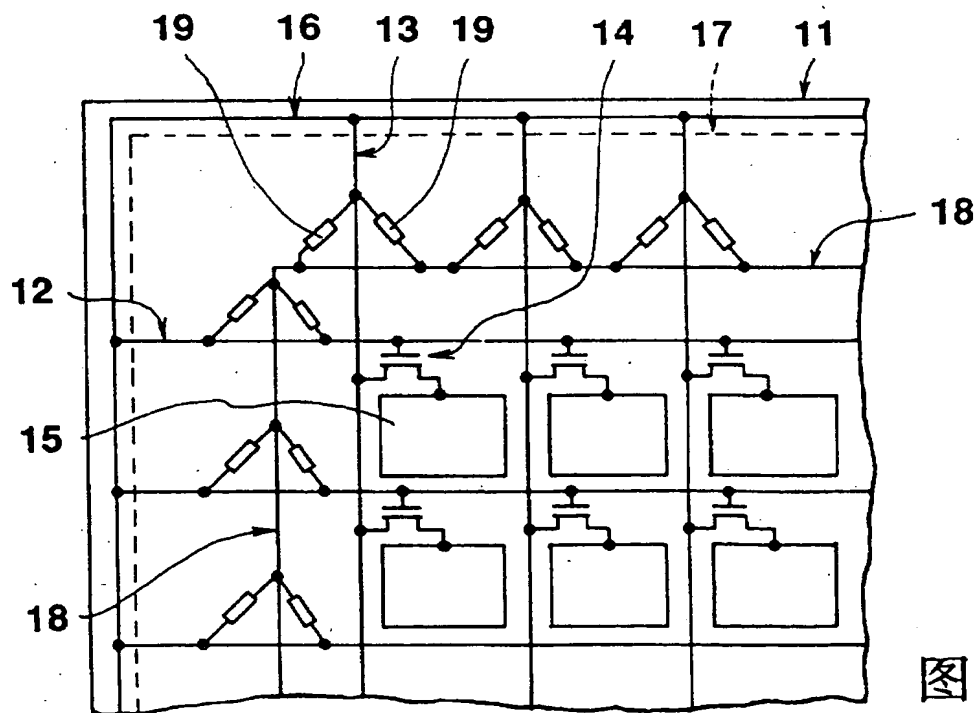


图11

图8A

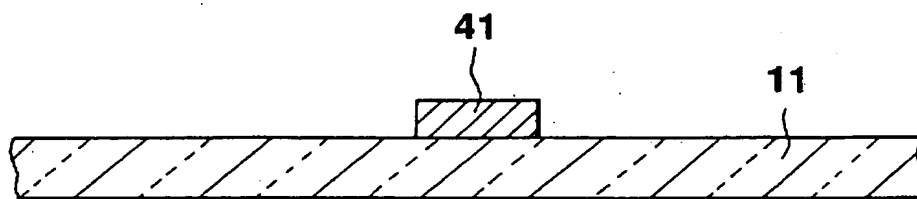


图8B

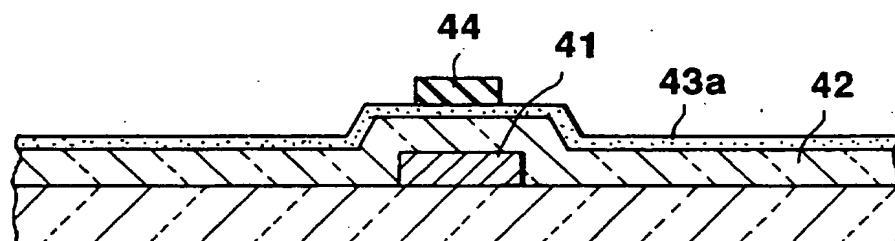


图8C

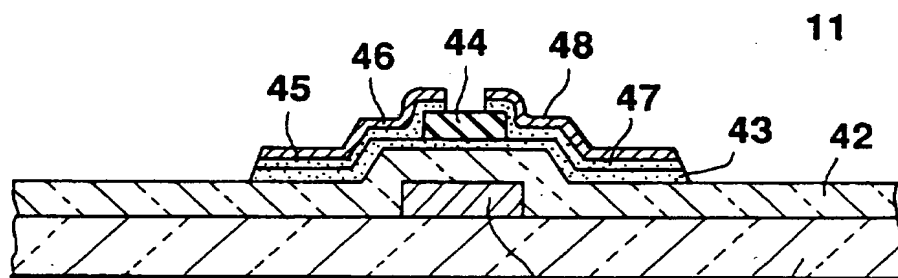


图8D

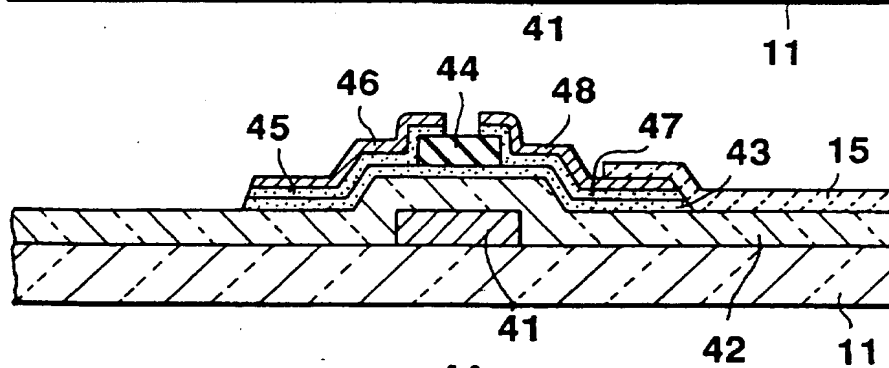


图8E

